

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji YOSHIDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF ACCELERATING TEST OF SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-238032	August 19, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月19日

出 願 番 号

Application Number:

特願2002-238032

[ ST.10/C ]:

[ JP2002-238032 ]

出 願 人

Applicant(s):

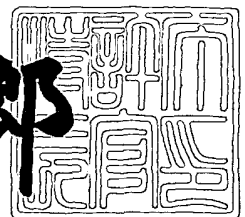
株式会社東芝

東芝マイクロエレクトロニクス株式会社

2003年 7月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051842

【書類名】 特許願

【整理番号】 ASB027011

【提出日】 平成14年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/26  
H01L 21/66

【発明の名称】 半導体装置の試験方法及び半導体装置の製造方法

【請求項の数】 7

【発明者】

    【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

    【氏名】 吉田 健司

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 藤巻 剛

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 中澤 寛

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 宮本 浩二

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【特許出願人】

    【識別番号】 000221199

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の試験方法及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 銅或いは銅を主成分とする合金から成る配線を有する半導体装置に発生する前記配線のストレスマイグレーションによる初期不良を除去する加速試験工程を有することを特徴とする半導体装置の試験方法。

【請求項 2】 前記加速試験工程は、前記半導体装置の温度を前記ストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯で 0.4 時間以上保持する段階を有することを特徴とする請求項 1 記載の半導体装置の試験方法。

【請求項 3】 前記加速試験工程は、前記半導体装置の温度の昇降を、前記ストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯にある基準温度に対して前後 4 0℃の間で 1 回或いは複数回実施する段階を有することを特徴とする請求項 1 記載の半導体装置の試験方法。

【請求項 4】 前記加速試験工程を、パッケージ組立工程終了後から製品出荷前までの間に実施することを特徴とする請求項 1 乃至 3 何れか 1 項記載の半導体装置の試験方法。

【請求項 5】 半導体基板上に複数の半導体素子を形成する基板工程と、  
前記複数の半導体素子の間を接続する、銅或いは銅を主成分とする合金から成る配線を層間絶縁膜を介して複数の配線層において形成する配線工程とを有し、  
前記配線工程は、製造途中の前記配線の温度を前記配線のストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯で保持する 1 又は 2 以上の段階を具備することを特徴とする半導体装置の製造方法。

【請求項 6】 前記配線工程は、  
前記半導体基板の上方に前記層間絶縁膜を堆積する段階と、  
前記層間絶縁膜にコンタクトホール及び配線溝を形成する段階と、  
前記層間絶縁膜の上に前記配線を形成する為の銅或いは銅を主成分とする合金から成る金属膜を堆積する段階と、  
前記金属膜の温度を前記温度帯で保持する段階と、  
前記金属膜の一部を除去して前記コンタクトホール及び前記配線溝に埋め込ま

れた前記配線を形成する段階と

を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記配線工程は、

複数の半導体素子が形成された半導体基板の上方に前記層間絶縁膜を堆積する段階と、

前記層間絶縁膜にコンタクトホール及び配線溝を形成する段階と、

前記層間絶縁膜の上に前記配線を形成する為の銅或いは銅を主成分とする合金から成る金属膜を堆積する段階と、

前記金属膜の一部を除去して前記コンタクトホール及び前記配線溝に埋め込まれた前記配線を形成する段階と、

前記配線の温度を前記温度帯で保持する段階と

を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の試験方法及び半導体装置の製造方法に係り、特に、半導体装置の不良品をスクリーニングする試験方法及びスクリーニング効果を盛り込んだ半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置は、その主な特徴の 1 つとして他の電子部品には無い高い信頼性を有する。半導体装置の高い信頼性は、故障率の高い初期不良を除去する為のスクリーニングによって作りこまれる。高い信頼性を維持したまま短期間に半導体装置を開発する為に、通常使用条件よりも厳しい条件の下で一定の故障メカニズムを促進させる加速試験が一般的に行われている。

【0003】

半導体装置のスクリーニングは、熱的ストレスあるいは電氣的ストレス等を半導体装置に加えたとき、これらのストレスによって簡単に劣化しやすい不具合（潜在不良）を取り除くことを目的とする。半導体装置の故障要因は多岐にわたり

、発生する故障モードも多種多様である。よって、故障モードによって様々なスクリーニング方法が存在する。

#### 【0004】

この中で最も効果的なスクリーニング方法として、ゲート酸化膜不良の除去等を目的としたバーンイン (Burn-in) が知られている。バーンインは、100℃～150℃の雰囲気中で、実使用電界の1～2倍の電界を印加し、スタンバイ状態或いはダイナミック状態で一定時間保持する方法である。ゲート酸化膜の寿命は、一般的にゲート酸化膜に加わる電界の-1乗に比例する。よって、バーンインは、効果的にゲート酸化膜の寿命を加速させることが出来、ゲート酸化膜不良のスクリーニングとして有効である。

#### 【0005】

##### 【発明が解決しようとする課題】

一方、半導体装置の製造工程において、配線工程は多くの故障要因を有する。配線材料に銅を使用することに起因する断線もその1つである。高温放置或いは温度サイクルにより配線が断線不良を起すストレスマイグレーションと呼ばれる故障モードが広く知られている。ストレスマイグレーションとは、配線パターンに層間絶縁膜との熱膨張係数差によって働く応力による、或いは外部からの熱などにより配線が破壊されることである。ストレスマイグレーションの寿命は、半導体装置に加えられる電界とは無関係であるため、バーンインによるスクリーニングは出来ない。従って、ストレスマイグレーションによる断線不良を製品出荷前の段階で除去することが出来ず、半導体装置の信頼性を低下させる要因となっている。

#### 【0006】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、市場において発生するCu配線の不良を低減することができる半導体装置の試験方法及び半導体装置の製造方法を提供することである。

#### 【0007】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の第1の特徴は、銅或いは銅を主成分とする



合金から成る配線を有する半導体装置に発生する配線のストレスマイグレーションによる初期不良を除去する加速試験工程を有する半導体装置の試験方法であることである。

#### 【 0 0 0 8 】

本発明の第 2 の特徴は、半導体基板上に複数の半導体素子を形成する基板工程と、複数の半導体素子の間を接続する、銅或いは銅を主成分とする合金から成る配線を層間絶縁膜を介して複数の配線層において形成する配線工程とを有する半導体装置の製造方法であって、配線工程は、製造途中の配線の温度を配線のストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯で保持する 1 又は 2 以上の段階を具備することである。

#### 【 0 0 0 9 】

##### 【発明の実施の形態】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅との関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

#### 【 0 0 1 0 】

##### (第 1 の実施の形態)

本発明の第 1 の実施の形態に係る半導体装置の試験方法は、銅 (C u) 或いは C u を主成分とする合金から成る配線 (以後、「C u 配線」と呼ぶ) を有する半導体装置に発生する C u 配線のストレスマイグレーションによる初期不良を除去する加速試験工程を有する。図 1 に示すように、加速試験工程 S 1 0 0 は、半導体装置の温度を C u 配線のストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯で 0. 4 時間以上保持する段階 S 1 1 と、C u 配線の断線不良を検査する段階 S 1 2 とを有する。以下に、加速試験工程 S 1 0 0 について具体的に述べる。

#### 【 0 0 1 1 】

(イ) S 1 1 段階において、まず、半導体装置の温度を、室温から C u 配線の

ストレスマイグレーションが最も加速される温度の前後 4 0℃の温度帯まで上げる。以後、Cu配線のストレスマイグレーションが最も加速される温度を「最加速温度」と呼ぶ。なお、昇温速度あるいは昇温方法などは特に問わず、スクリーニングにおける通常の高温放置試験と同様な手段により半導体装置を加熱する。

## 【 0 0 1 2 】

(ロ) 次に、最加速温度の前後 4 0℃の温度帯において、半導体装置を 0. 4 時間以上放置する。この間、半導体装置に、電気的ストレス或いは機械的ストレスは加えない。最加速温度の前後 4 0℃の温度帯及び放置時間 (0. 4 時間以上) については後述する。

## 【 0 0 1 3 】

(ハ) 次に、半導体装置の温度を最加速温度の前後 4 0℃の温度帯から室温まで下げる。降温速度あるいは降温方法などは特に問わず、スクリーニングにおける通常の高温放置試験と同様な手段により半導体装置を冷却する。

## 【 0 0 1 4 】

(ニ) 最後に、S 1 2 段階において、ストレスマイグレーションの寿命が加速された Cu配線に発生する断線不良の有無を検査する。以上の手順を経て、加速試験工程 S 1 0 0 は終了する。

## 【 0 0 1 5 】

次に、最加速温度の前後 4 0℃の温度帯及び放置時間 (0. 4 時間以上) について、図 2 乃至図 6 を参照して説明する。Cu配線のストレスマイグレーションの加速性は、Cu配線から成るビアコンタクトチェーンを用いて評価することができる。例えば、図 2 に示すようにビアコンタクトチェーンは、3 5 μ m×2 0 μ m の方形状の下層 Cu配線 1 2 と、下層 Cu配線 1 2 主表面に接続された Cu から成るビアコンタクト 1 1 と、ビアコンタクト 1 1 に接続された上層 Cu配線 1 0 とを有する。図 2 に示した部分は、ビアコンタクトチェーンの一部の構成を示したものである。図 2 には示さないが、上層 Cu配線 1 0 は更にビアコンタクトを介して隣接する他の下層 Cu配線に接続されている。即ち、ビアコンタクトチェーンは、ビアコンタクト 1 1 を介して下層 Cu配線 1 2 と上層 Cu配線 1 0 とが交互に繰り返して接続された構成を有する。

## 【0016】

図3において、横軸は加速試験工程S100における半導体装置の試験温度を示し、縦軸はストレスマイグレーションの加速度係数を示す。加速度係数とは、100℃における通常使用条件に対する加速試験工程の加速割合を示す。図3に示すように、Cu配線のストレスマイグレーションの加速性は、加速試験工程における半導体装置の温度に依存し、ある温度において極大点を持つ。極大点においてCu配線のストレスマイグレーションが最も加速される。極大点は前述の「最加速温度」に相当する。図2に示したビアコンタクトチェーンにおいて、最加速温度は190℃であった。この時の加速度係数は13.5であった。また、加速試験工程における加速度係数は7以上であることが望ましい。加速度係数が7以上である為には、図3に示すように最加速温度（190℃）の前後40℃の温度帯において半導体装置を保持する必要がある。つまり、最加速温度が190℃である場合、150℃～230℃の温度帯において加速試験を実施することが望ましい。ただし、加速性の極大点は、Cu配線の配線デザイン、配線膜厚、配線材料、層間絶縁膜の種類によって多少異なる。

## 【0017】

図4は、チップ製造工程が終了した後、パッケージ組立工程前に加速試験工程を実施し、試験時間に対する不良確率（故障率）をプロットしたものである。この時の加速試験工程における試験温度は225℃である。試験時間の経過とともに、不良確率が減少している。従って、ストレスマイグレーションによるCu配線の不良が初期不良であり、スクリーニング可能である事がわかる。

## 【0018】

図5は、図4と同様に、チップ製造工程が終了した後、パッケージ組立工程前に加速試験工程を実施し、試験時間に対する累積不良確率をワイブル確率紙上にプロットしたものである。この時の加速試験工程における試験温度は225℃である。半導体装置の通常動作時の温度が100℃であることを想定すると、図3から225℃の試験温度は8.8倍の加速性を有することになる。従って、加速試験工程を実施せずに製品出荷した後1年間通常動作させた時の累積不良確率は、 $24 \text{ 時間} \times 365 \text{ 日} / 8.8 = 985 \text{ 時間}$ の試験時間における累積不良確率に

相当する。図5中のF1は、985時間の試験時間における累積不良確率を示す。F1における累積不良確率は、401.1ppmである。また、図5中のF2は、986時間の試験時間における累積不良確率を示す。F2における累積不良確率は、401.2ppmである。更に、図5中のF3は、1時間の試験時間における累積不良確率を示す。F3における累積不良確率は、181.9ppmである。従って、加速試験工程を225℃において1時間行ってから製品出荷した後1年間通常動作させた時の累積不良確率は、986時間（F2）と1時間（F3）との累積不良確率の差に相当し、 $401.2 - 181.9 = 219.3$ ppmである。

## 【0019】

図6は、図4及び図5に示した加速試験の結果より導かれる加速試験工程の試験時間と、出荷後1年間でのストレスマイグレーションによる残留不良確率との関係を示す。加速試験工程をまったく実施しなかった場合、残留不良確率は400ppm程度となる。加速試験工程を実施しなかった場合の残留不良確率は、図5のF1に示す985時間における累積不良確率（401.1ppm）に相当している。また、加速試験工程を1時間実施した場合の残留不良確率は、図5に示した986時間（F2）と1時間（F3）との累積不良確率の差に相当し、220ppm程度である。また、図6に示すように、加速試験工程を0.4時間実施した場合、予想される残留不良確率は250ppmまで下げることが可能である。通常の半導体装置の製品出荷後1年間での許容残留不良確率は500ppmであり、ストレスマイグレーションによる不良は、この半分程度であれば問題ないと考えられる。

## 【0020】

上述したように、第1の実施の形態に係る半導体装置の試験方法によれば、加速試験工程S100を行うことにより、Cu配線を有する半導体装置に発生するCu配線のストレスマイグレーションによる初期不良を出荷前の段階で除去可能であり、市場不良の低減が可能である。

## 【0021】

また、0.4時間以上の加速試験工程S100を実施することにより、図6に

示すように半導体装置の製品出荷後 1 年以内のストレスマイグレーションによる残留不良確率を 3 0 0 p p m 以下にすることができる。

## 【 0 0 2 2 】

第 1 の実施の形態に係る半導体装置の試験方法を実施した後に、半導体装置に起こりうるストレスマイグレーションによる C u 配線の不良の一例を図 7 を参照して説明する。加速試験工程 S 1 0 0 を実施する前は、図 2 に示したビアコンタクトチェーンと同様に、下層 C u 配線 1 2 と上層 C u 配線 1 0 とが C u から成るビアコンタクト 1 1 を介して接続されていた。しかし、図 1 に示した加速試験工程 S 1 0 0 を実施することにより、下層 C u 配線 1 2 の主表面のうちビアコンタクト 1 1 に接する部分にボイド 1 3 が発生する。ボイド 1 3 の発生により、下層 C u 配線 1 2 とビアコンタクト 1 1 との間で接続不良が生じることがある。

## 【 0 0 2 3 】

図 7 に示す接続不良が発生する不良メカニズムは次のように考えられる。C u 配線を形成する場合、通常、C u 配線の上に C u の拡散を防止するための拡散防止膜を形成する。また、下層 C u 配線 1 2 にビアコンタクト 1 1 を接続させる場合、接続部分の拡散防止膜を選択的に除去し、拡散防止膜の開口部分にビアコンタクト 1 1 を接続させる。例えば、反応性イオンエッチング (Reactive Ion Etching: R I E) 法などを用いて拡散防止膜の開口を形成した場合、開口部分の下層 C u 配線 1 2 に R I E によるダメージが生じる。また、拡散防止膜の開口後のデガスや下層 C u 配線 1 2 表面の酸化物等の還元を目的とした熱処理によって、開口部分の下層 C u 配線 1 2 に局所的な応力が増加する。C u 配線中の C u 結晶粒のグレインサイズを成長させるためのアニールなどの熱処理を施す際に生成されたボイドが、前述の加速試験により、開口部分の下層 C u 配線 1 2 (ビアコンタクト 1 1 の底面) に下層 C u 配線 1 2 内のボイドが集約して接続不良を引き起こしてしまう。従って、第 1 の実施の形態に係る半導体装置の試験方法を用いることにより、図 7 に示すような C u 配線のストレスマイグレーションによる初期不良を効率的に除去することが可能になると考えられる。

## 【 0 0 2 4 】

(第 1 の実施の形態の変形例 1)

第 1 の実施の形態に係る半導体装置の試験方法は、図 1 に示した加速試験工程 S 1 0 0 の代わりに、図 8 に示すように温度の昇降を実施する加速試験工程 S 2 0 0 を有していても構わない。図 8 に示すように、加速試験工程 S 2 0 0 は、半導体装置の温度の昇降を最加速温度の前後 4 0 ℃ の温度帯にある基準温度に対して前後 4 0 ℃ の間で 1 回或いは複数回実施する段階 S 2 1 と、C u 配線の断線不良を検査する段階 S 2 2 とを有する。以下に、図 9 を参照して加速試験工程 S 2 0 0 について具体的に述べる。

## 【 0 0 2 5 】

(イ) S 2 1 段階において、まず、半導体装置の温度を室温から最加速温度 1 の前後 4 0 ℃ の温度帯 2 にある基準温度まで上げる。基準温度は、最加速温度 1 を中心とした前後 4 0 ℃ の温度帯 2 に含まれていればどの温度であっても構わない。なお、昇温速度あるいは昇温方法などは特に問わず、スクリーニングにおける通常の高温放置試験と同様な手段により半導体装置を加熱する。

## 【 0 0 2 6 】

(ロ) 次に、半導体装置の温度を基準温度より 4 0 ℃ 高い温度まで更に上げる。その後、半導体装置の温度を基準温度より 4 0 ℃ 低い温度まで下げる。このように、基準温度に対して前後 4 0 ℃ の間で、半導体装置の温度の昇降を 1 回或いは複数回実施する。この間、半導体装置に、電気的ストレス或いは機械的ストレスは加えない。

## 【 0 0 2 7 】

(ハ) 次に、半導体装置の温度を室温まで下げる。降温速度あるいは降温方法などは特に問わず、スクリーニングにおける通常の高温放置試験と同様な手段により半導体装置を冷却する。

## 【 0 0 2 8 】

(ニ) 最後に、S 2 2 段階において、ストレスマイグレーションの寿命が加速された C u 配線に発生する断線不良の有無を検査する。以上の手順を経て、加速試験工程 S 2 0 0 は終了する。

## 【 0 0 2 9 】

なお、図 9 には、基準温度を最加速温度 1 よりも 4 0 ℃ 高い温度に設定した場

合の温度サイクル3と、基準温度を最加速温度1よりも40℃低い温度に設定した場合の温度サイクル4とを示した。S21段階は、温度サイクル3及び4の間で半導体装置の温度の昇降を1回或いは複数回実施する。

## 【0030】

第1の実施の形態の変形例1によれば、加速試験工程S200を行うことにより、第1の実施の形態と同様に、Cu配線を有する半導体装置に発生するCu配線のストレスマイグレーションによる初期不良を出荷前の段階で除去可能であり、市場不良の低減が可能である。

## 【0031】

(第1の実施の形態の変形例2)

第1の実施の形態の変形例2においては、図1及び図8に示した加速試験工程S100、S200を実施する時期について説明する。加速試験工程S100、S200は、一連の半導体製造工程の途中において実施することができる。

## 【0032】

(イ) 一連の半導体製造工程は、図10に示すように、S30段階においてウェハ投入から開始される。その後、S31段階において基板工程を実施する。基板工程S31は、ウェハ上部に素子分離領域、ウェル領域などを形成し、素子形成領域にソース/ドレインなどの電極領域を形成し、ウェハ上にゲート酸化膜を介してゲート電極を形成する工程である。基板工程S31によって、ウェハ上に複数の半導体素子が形成される。

## 【0033】

(ロ) 次に、S32段階において配線工程を実施する。配線工程S32は、複数の半導体素子が形成されたウェハ上に層間絶縁膜及びCu配線を交互に形成して、複数の配線層からなる多層配線構造を形成する工程である。Cu配線はウェハ上の半導体素子に接続される。また、異なる配線層に形成されたCu配線は層間絶縁膜中に形成されたビアコンタクトを介して相互に接続される。多層配線構造によって接続された複数の半導体素子は半導体集積回路を形成している。配線工程の詳細については、第2の実施の形態において述べる。

## 【0034】

(ハ) 次に、S 3 3 段階においてウェハ検査工程を実施する。ウェハ検査工程 S 3 3 は、ウェハ上に形成された半導体集積回路に対して、半導体チップごとに良否をチェックし、正常に動作しない不良チップを除去する工程である。

【 0 0 3 5 】

(ニ) 次に、S 3 4 段階においてパッケージ組立工程を実施する。パッケージ組立工程 S 3 4 は、ウェハから半導体チップへ個片化（ダイシング）することから始まる。そして、半導体チップをリードフレームへダイボンディングし、半導体チップのボンディングパッドとリードピンとをリードボンディングする。その後、所定の金型を用いて半導体チップ及びリードフレームをモールド樹脂で成型し、モールド樹脂の表面に製造番号、製造メーカーなどを捺印する。以上の手順を経てパッケージ組立工程 S 3 4 が終了する。

【 0 0 3 6 】

(ホ) 最後に、S 3 5 段階において、出来上がった半導体装置に対して自動 I C テスタなどを用いてその特性を検査し、不良品を選別する。その後、S 3 6 段階において製品として出荷される。

【 0 0 3 7 】

上述した一連の半導体装置の製造工程において、図 1 及び図 8 に示した加速試験工程 S 1 0 0、S 2 0 0 を、パッケージ組立工程（S 3 4）終了後から製品出荷（S 3 6）前までの間に実施する。なお、加速試験工程 S 1 0 0、S 2 0 0 は、配線工程（S 3 2）の最終段階、或いはチップ配線工程（S 3 2）終了後からパッケージ組立工程（S 3 4）を行う前の間で行っても構わない。また、加速試験工程 S 1 0 0、S 2 0 0 はパッケージ組立工程（S 3 4）の途中で行うことも可能である。

【 0 0 3 8 】

（第 2 の実施の形態）

第 2 の実施の形態においては、図 1 に示した加速試験工程 S 1 0 0 を盛り込んだ半導体装置の製造方法について述べる。

【 0 0 3 9 】

図 1 1 に示すように、第 2 の実施の形態に係る半導体装置は、半導体基板 5 1



の上に第 1 乃至第 1 1 の配線層 5 2 ～ 6 2 が配置され、第 1 1 の配線層 6 2 の上に表面保護膜 6 3 が配置された多層配線構造を有する。半導体基板 5 1 においては、素子分離領域 2 3 により複数の素子形成領域が区分され、各素子形成領域にはソース領域 2 4、2 6、ドレイン領域 2 5、2 7、及びゲート電極 2 8 を有する複数の MOS トランジスタが配置されている。第 1 乃至第 1 1 の配線層 5 2 ～ 6 2 は、複数層から成る層間絶縁膜と、コンタクトと、Cu 配線とをそれぞれ有する。第 1 の配線層 5 2 においては、層間絶縁膜の中に、MOS トランジスタのドレイン領域 2 5 に接続されたコンタクト 3 2 が配置され、コンタクト 3 2 の上には Cu 配線 3 6 が配置されている。第 2 の配線層 5 3 においては、層間絶縁膜の中に、Cu 配線 3 6 に接続された Cu から成るビアコンタクトが配置され、ビアコンタクトの上には Cu 配線 4 3 が配置されている。第 3 乃至第 1 1 の配線層 5 4 ～ 6 2 は、第 2 の配線層 5 3 と同様な構成を有する。

## 【 0 0 4 0 】

次に、第 2 の実施の形態に係る半導体装置の製造方法を説明する。第 2 の実施の形態に係る半導体装置の製造方法は、図 1 2 に示すように、基板工程 S 3 0 0 及び配線工程 S 4 0 0 を有する。

## 【 0 0 4 1 】

(イ) 先ず、S 3 0 0 段階において基板工程を実施する。S 3 0 0 段階は、図 1 0 における S 3 1 段階（基板工程）に相当する。具体的には、図 1 5 (a) に示すように、半導体基板の上部に絶縁物から成る素子分離領域 2 3 及びゲート酸化膜を形成する。素子分離領域 2 3 に囲まれた n 型 MOS トランジスタが形成される領域には p ウェル (p - w e l l) 2 1 を形成し、p 型 MOS トランジスタが形成される領域には n ウェル (n - w e l l) 2 2 を形成する。そして、第 1 のゲート電極 2 8 a をゲート酸化膜の上に形成する。第 1 のゲート電極 2 8 a 及び素子分離領域 2 3 をマスクとして n 型 / p 型不純物を半導体基板中にドーピングして第 1 のソース領域 2 4 b、2 6 b 及び第 1 のドレイン領域 2 5 b、2 7 b を形成する。第 1 のゲート電極 2 8 a の側壁に面した絶縁膜（サイドウォール）を形成し、サイドウォールをマスクとして、第 2 のソース領域 2 4 a、2 6 a 及び第 2 のドレイン領域 2 5 a、2 7 a を形成する。最後に、シリサイド膜から成る第

2のゲート電極28bを形成する。以上の手順を経て基板工程S300は終了する。

#### 【0042】

(ロ) 次に、第1乃至第11の配線層の製造工程S401～S411を有する配線工程S400を実施する。第1の配線層の製造工程S401は、図13に示すように、S51段階～S58段階を有する。まず、S51段階において、図15(a)に示す第1の層間絶縁膜29、30を半導体基板上に堆積する。第1の層間絶縁膜29は、化学的気相成長 (Chemical Vapor Deposition: CVD) 法を用いて堆積されたリン或いはボロンを含んだシリコン酸化膜 ( $\text{SiO}_2$  膜) である。そして、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) を用いて第1の層間絶縁膜30を平坦化する。

#### 【0043】

(ハ) 次に、第1の層間絶縁膜29、30を選択的にエッチングしてコンタクトホールを形成する。コンタクトホールの底部には第1のドレイン領域25bが表出している。そして、S52段階において、コンタクトホールにコンタクトプラグ31、32を埋め込む。

#### 【0044】

(ニ) 次に、S53段階において、図15(b)に示すように、第2の層間絶縁膜33を堆積する。次に、S54段階において、RIE法を用いて第2の層間絶縁膜33を選択的にエッチングして配線溝34を形成する。配線溝34の底部にはコンタクトプラグ31、32が表出している。

#### 【0045】

(ホ) 次に、S55段階において、図15(c)に示すように、タンタル (Ta) 或いはTaを含む合金から成るバリアメタル35及びCu或いはCuを主成分とする合金から成る金属膜 (以後「Cu金属膜」と呼ぶ) 36をPVD方式あるいはCVD方式を用いて堆積する。バリアメタル35及びCu金属膜36は、配線溝34の内部にも堆積される。なお、Cu金属膜36は、PVD方式やCVD方式及び電界めっき方式や無電界めっき方式によって成膜すればよい。

#### 【0046】

(へ) 次に、S 5 6 段階において、C u 粒子のグレインサイズを成長させることを目的とした熱処理を施す。この熱処理は、C u 配線に対しての信頼性を向上させるものであり、3 0 0 ℃程度の処理が妥当である。

## 【 0 0 4 7 】

(ト) 次に、S 5 7 段階において、CMP を用いてバリアメタル 3 5 及び C u 金属膜 3 6 の平坦化を行う。図 1 6 ( a ) に示すように配線溝 3 4 の内部に埋め込まれたバリアメタル 3 5 及び C u 金属膜 3 6 から成る第 1 の配線が形成される。次に、S 5 8 段階において、シリコン窒化膜 ( S i <sub>3</sub> N <sub>4</sub> 膜 ) などから成る拡散防止膜 3 7 を成膜する。拡散防止膜 3 7 は、C u の拡散を防止するための膜である。以上の手順を経て図 1 3 に示した第 1 の配線層の製造工程 S 4 0 1 は終了する。

## 【 0 0 4 8 】

(チ) 次に、図 1 2 の第 2 の配線層の製造工程 S 4 0 2 を実施する。第 2 の配線層の製造工程 S 4 0 2 は、図 1 4 に示すように、S 4 1 段階～S 4 6 段階を有する。まず、S 4 1 段階において図 1 6 ( b ) に示すように拡散防止膜 3 7 の上に C V D 法により層間絶縁膜 3 8、3 9 を堆積する。次に、S 4 2 段階において、フォトリソグラフィ法及び R I E 法を用いて、コンタクトホール 4 0 及び配線溝 4 1 を形成する。コンタクトホール 4 0 の底部には拡散防止膜 3 7 が表出している。

## 【 0 0 4 9 】

(リ) 次に、コンタクトホール 4 0 の底部に表出した拡散防止膜 3 7 を選択的に除去して、C u 金属膜 3 6 を一部表出させる。そして、表出した C u 金属膜 3 6 を洗浄することを目的としたウェット処理或いは熱処理を施す。そして、S 4 3 段階において、図 1 7 ( a ) に示すように T a 或いは T a を含む合金から成るバリアメタル 4 2 及び C u 金属膜 4 3 を P V D 方式や C V D 方式及び電界めっき方式や無電界めっき方式により堆積する。バリアメタル 4 2 及び C u 金属膜 4 3 は、コンタクトホール 4 0 及び配線溝 3 4 の内部にも堆積される。従って、バリアメタル 4 2 は、コンタクトホール 4 0 の底部において第 1 の配線層の C u 金属膜 3 6 と接続される。

## 【 0 0 5 0 】

(ヌ) 次に、S 4 4 段階において、1 5 0℃～2 3 0℃の温度帯において2 0 分間の熱処理を施す。この熱処理は、図 1 3 の S 5 6 段階（熱処理）とは異なり、第 1 の配線層の C u 金属膜 3 6 のスクリーニング効果を上げることを目的とする。従って、S 4 4 段階では、製造途中の C u 配線を最加速温度の前後 4 0℃の温度帯において 2 0 分間保持する。熱処理における雰囲気を窒素雰囲気とすることで、製造途中の C u 配線の酸化を防止することが出来る。なおここでは 2 0 0℃の温度において熱処理を加える。

## 【 0 0 5 1 】

(ル) 次に、S 4 5 段階において、CMP を用いてバリアメタ 4 2 5 及び C u 金属膜 4 3 の平坦化を行う。図 1 7 (b) に示すようにコンタクトホール 4 0 及び配線溝 4 1 の内部に埋め込まれたバリアメタル 4 2 及び C u 金属膜 4 3 から成る第 2 の配線が形成される。次に、S 4 6 段階において、シリコン窒化膜 (S i <sub>3</sub> N<sub>4</sub> 膜) などから成る拡散防止膜 4 4 を成膜する。以上の手順を経て図 1 4 に示した第 2 の配線層の製造工程 S 4 0 2 は終了する。

## 【 0 0 5 2 】

(ヲ) その後、図 1 4 に示した第 2 の配線層の製造工程 S 4 0 2 と同様な手順を繰り返し実施して、第 3 乃至第 1 1 の配線層 5 4 ～6 2 を形成し、第 1 1 の配線層 6 2 の上に表面保護膜 6 3 を形成する。以上の工程を経て、図 1 1 に示した半導体装置を製造することができる。

## 【 0 0 5 3 】

第 2 乃至第 1 1 の配線層 5 3 ～6 2 の各製造工程において、図 1 4 の S 4 4 段階の熱処理 (2 0 0℃、2 0 分) を実施することで、既に形成されている第 1 乃至第 1 0 の配線層 5 2 ～6 1 の C u 金属膜に対して、スクリーニングを実施することができる。即ち、各配線層の製造工程に図 1 の S 1 1 段階に相当する熱処理を盛り込むことで、各配線層の C u 配線のストレスマイグレーションの加速試験を実施することができる。これにより、例えば第 1 の配線層 5 1 の C u 金属膜 3 6 に対しては、合計 2 0 0℃、2 0 0 分間の熱処理を施すこととなる。よって、図 6 に示した試験時間と残留不良率との関係から、C u 配線のストレスマイグレー

ションによる初期不良を除去する為に十分なスクリーニングを実施することが出来る。

【 0 0 5 4 】

なお、熱処理におけるウェハの雰囲気は、窒素雰囲気以外の雰囲気、例えば、アルゴン等の不活性ガス雰囲気、真空雰囲気、或いは例えば水素、水素と窒素の混合ガス、アンモニア等及びそれらを含む還元雰囲気であっても同様なスクリーニング効果が得られる。

【 0 0 5 5 】

また、第 2 の実施の形態では、図 1 4 に示したように、バリアメタル 4 2 及び Cu 金属膜 4 3 を堆積した ( S 4 3 ) 後、バリアメタル 4 2 及び Cu 金属膜 4 3 を平坦化して Cu 配線を形成する ( S 4 5 ) 前に、Cu 配線のストレスマイグレーションを加速させる為の熱処理 ( S 4 4 ) を行ったが、本発明はこれに限定されない。Cu 金属膜 4 3 を平坦化して Cu 配線を形成した ( S 4 5 ) 後に、Cu 配線に対して熱処理 ( S 4 4 ) を施しても構わない。更には、拡散防止膜の堆積 ( S 4 6 ) の後に熱処理 ( S 4 4 ) を施しても構わない。

【 0 0 5 6 】

【発明の効果】

以上説明したように、本発明によれば、市場において発生する Cu 配線の不良を低減することができる半導体装置の試験方法及び半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る半導体装置の試験方法に含まれる加速試験工程 S 1 0 0 を示すフローチャートである。

【図 2】

本発明の発明者が行った Cu 配線のストレスマイグレーションの加速性についての実験に使用したビアコンタクトチェーンを示す斜視図である。

【図 3】

図 2 に示したビアコンタクトチェーンにおけるストレスマイグレーションの加

速度係数と試験温度との関係を示すグラフである。

【図 4】

加速試験工程を実施した後の不良確率と試験時間との関係を示すグラフである。

【図 5】

図 4 に示した加速試験工程を実施した後の累積不良確率と試験時間との関係を示すグラフである。

【図 6】

加速試験工程の実施時間と残留不良確率との関係を示すグラフである。

【図 7】

第 1 の実施の形態に係る半導体装置の試験方法を実施した後の半導体装置に起こりうるストレスマイグレーションによる Cu 配線の不良の一例を示す斜視図である。

【図 8】

第 1 の実施の形態の変形例 1 に係る半導体装置の試験方法に含まれる加速試験工程 S 2 0 0 を示すフローチャートである。

【図 9】

図 8 の S 2 1 段階における半導体装置の温度の昇降を例示するグラフである。

【図 1 0】

第 1 の実施の形態の変形例 2 に係る一連の半導体装置の製造工程を示すフローチャートである。

【図 1 1】

第 2 の実施の形態に係る多層配線構造を有する半導体装置を示す断面図である。

【図 1 2】

第 2 の実施の形態に係る半導体装置の製造方法全体を示すフローチャートである。

【図 1 3】

図 1 2 の第 1 の配線層の製造工程 S 4 0 1 に含まれる段階を示すフローチャー

トである。

【図 1 4】

図 1 2 の第 2 乃至第 1 1 の配線層の製造工程 S 4 0 2 ～ S 4 1 1 に含まれる段階を示すフローチャートである。

【図 1 5】

図 1 5 ( a ) 乃至 ( c ) は、第 2 の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す工程断面図である ( その 1 ) 。

【図 1 6】

図 1 6 ( a ) 及び ( b ) は、第 2 の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す工程断面図である ( その 2 ) 。

【図 1 7】

図 1 7 ( a ) 及び ( b ) は、第 2 の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す工程断面図である ( その 3 ) 。

【符号の説明】

- 1      最加速温度
- 2      温度帯
- 3、4    温度サイクル
- 1 0    上層 C u 配線
- 1 1    ビアコンタクト
- 1 2    下層 C u 配線
- 1 3    ボイド
- 2 9、3 0    第 1 の層間絶縁膜
- 3 1、3 2    コンタクトプラグ
- 3 3    第 2 の層間絶縁膜
- 3 4、4 1    配線溝
- 3 5、4 2    バリアメタル
- 3 6、4 3    C u 金属膜
- 3 7、4 4    拡散防止膜
- 3 8、3 9    層間絶縁膜

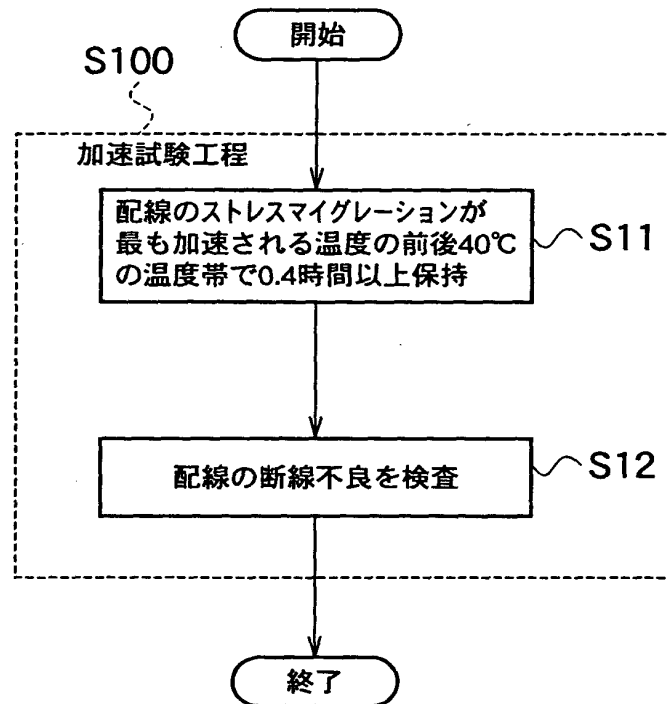
4 0      コンタクトホール



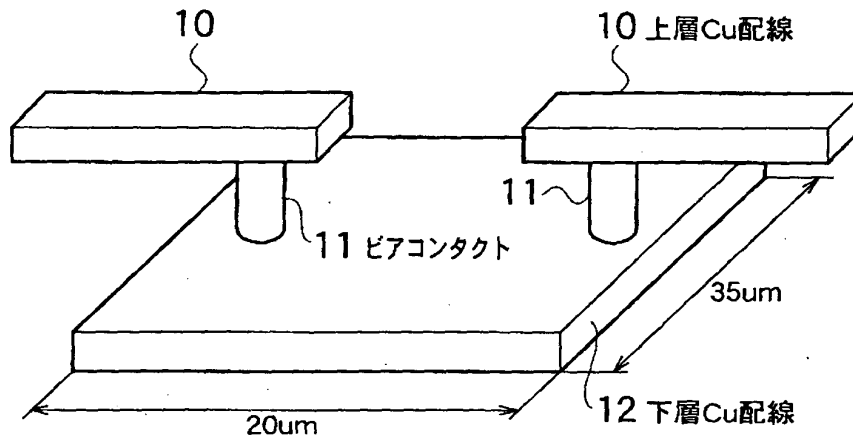
【書類名】

図面

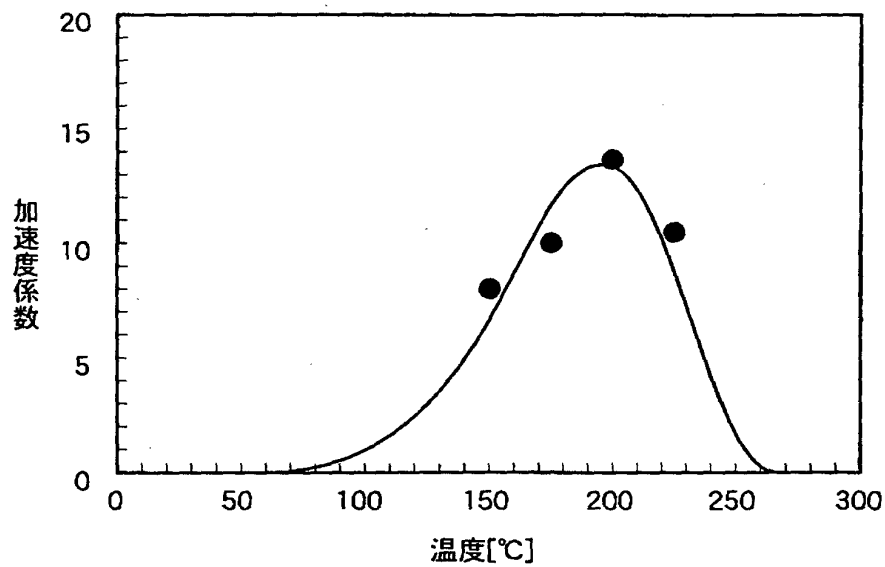
【図1】



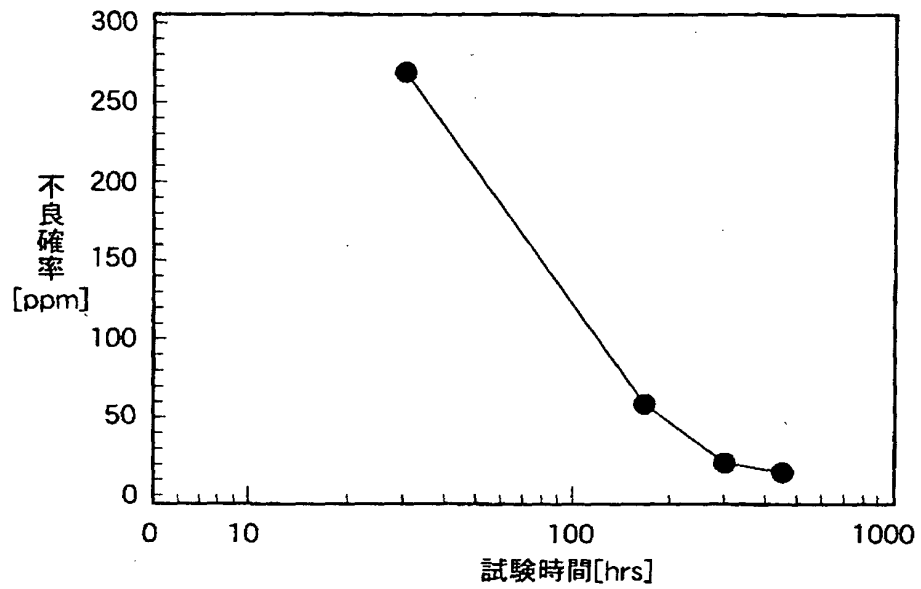
【図 2】



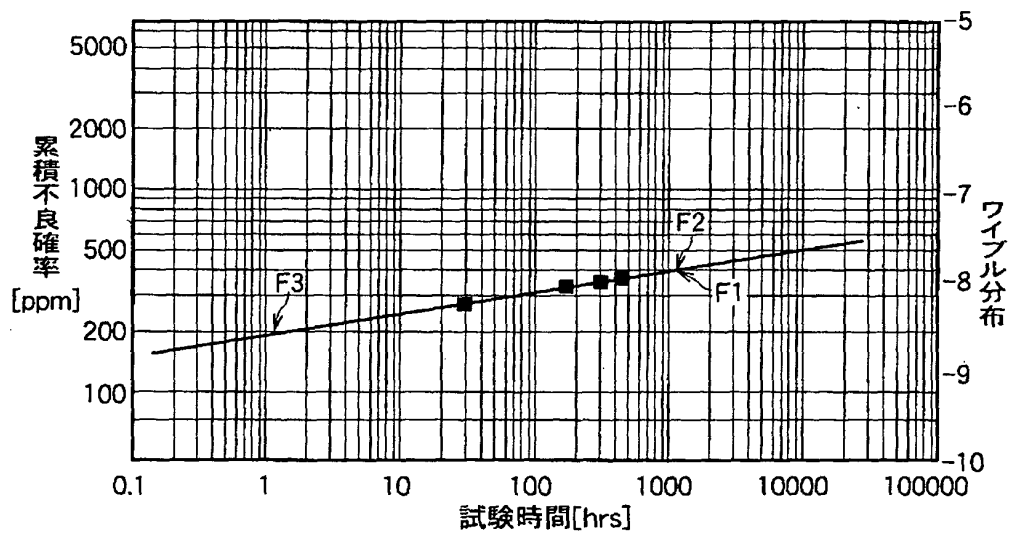
【図 3】



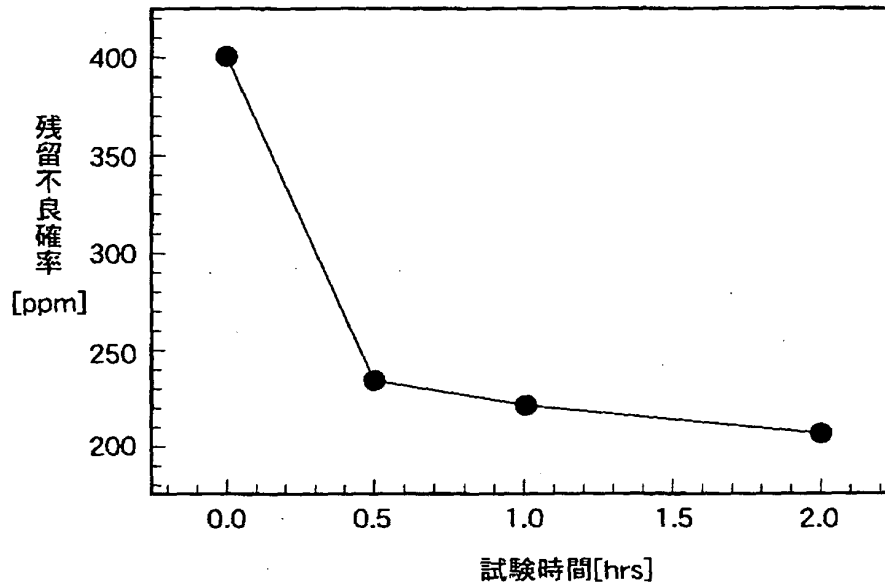
【図 4】



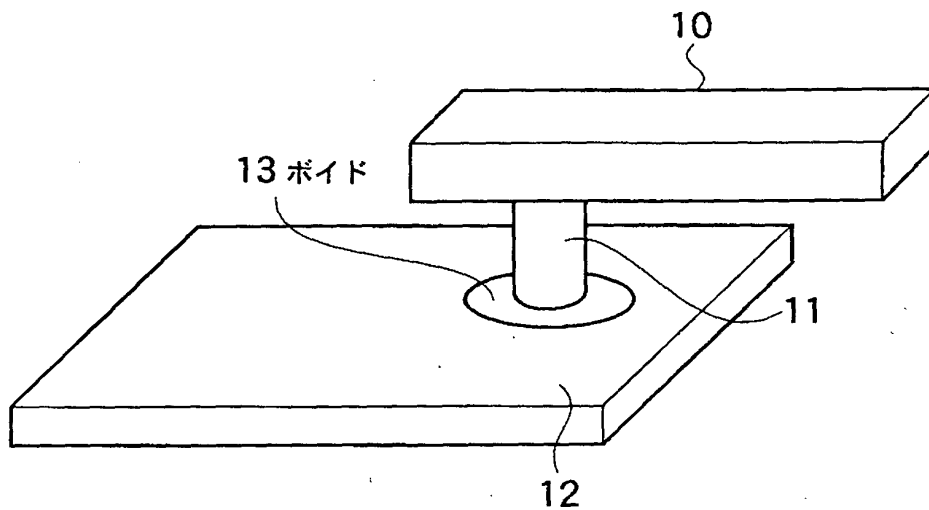
【図 5】



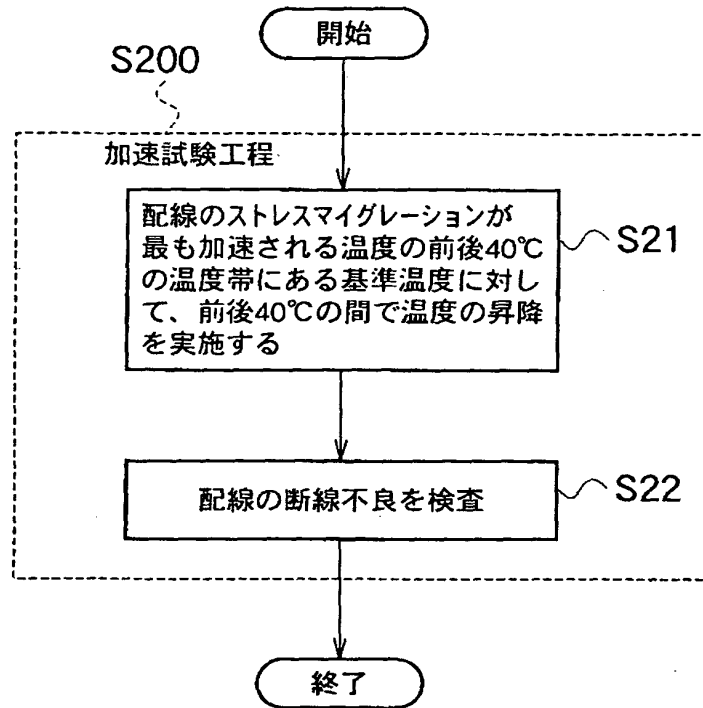
【図 6】



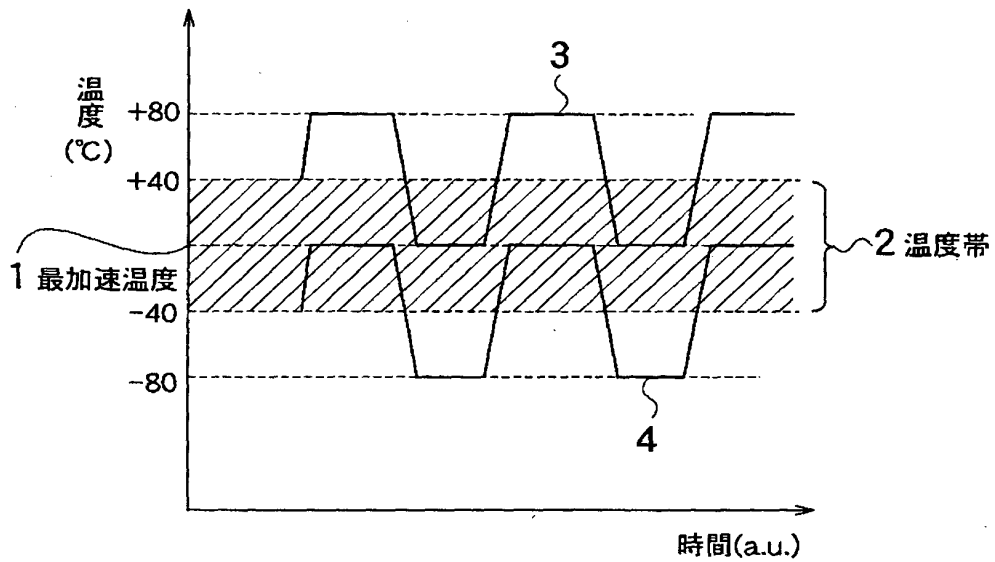
【図 7】



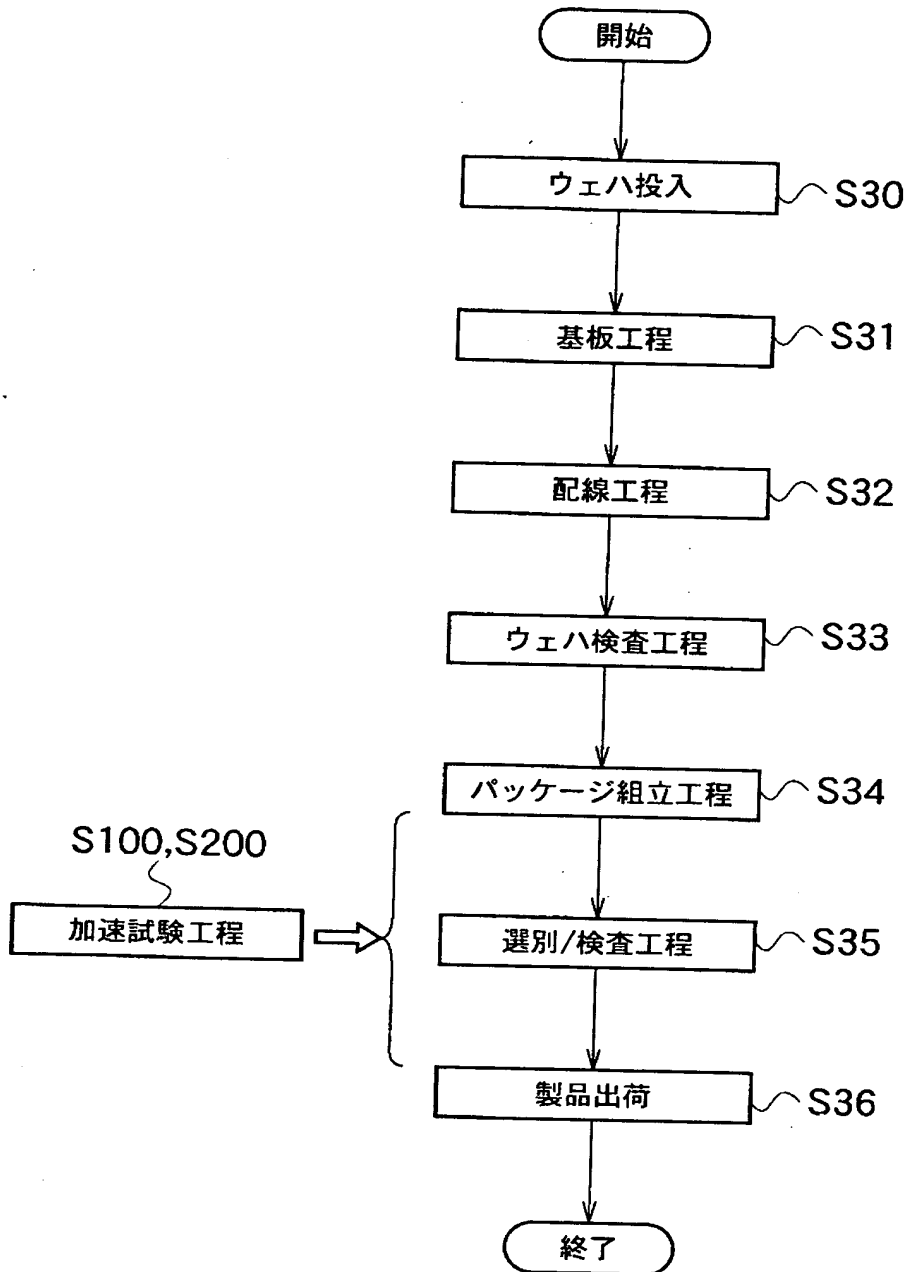
【図 8】



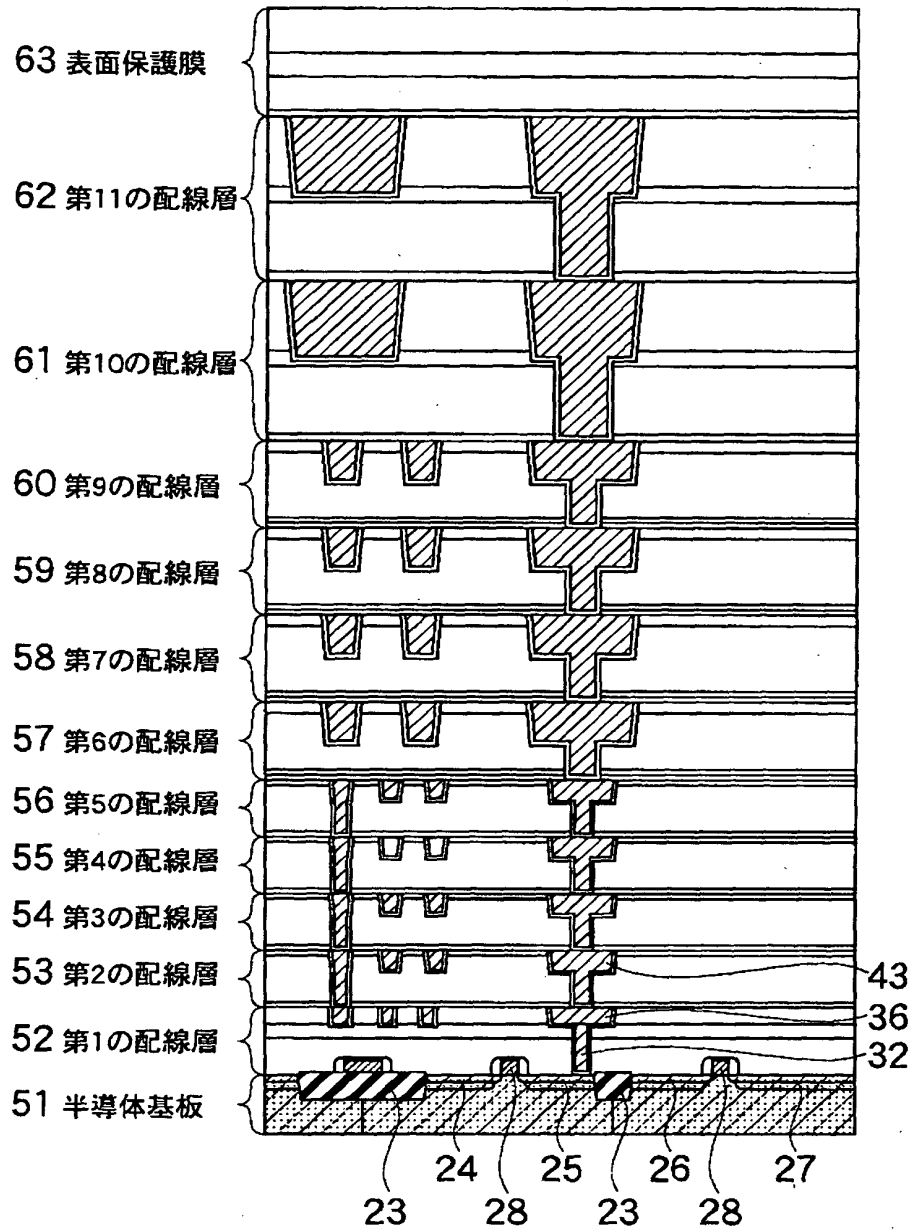
【図 9】



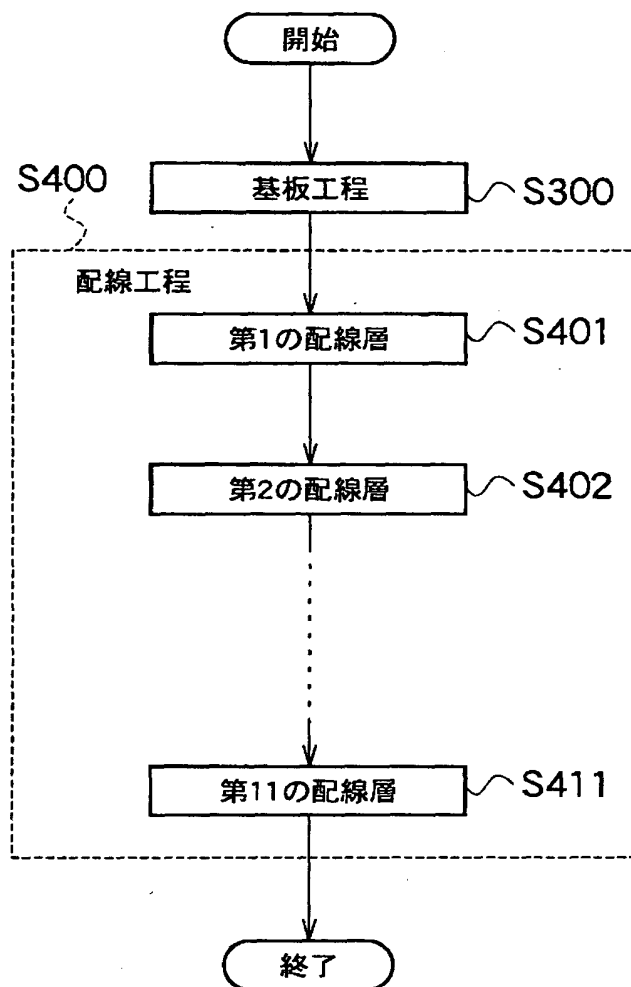
【図10】



【図11】

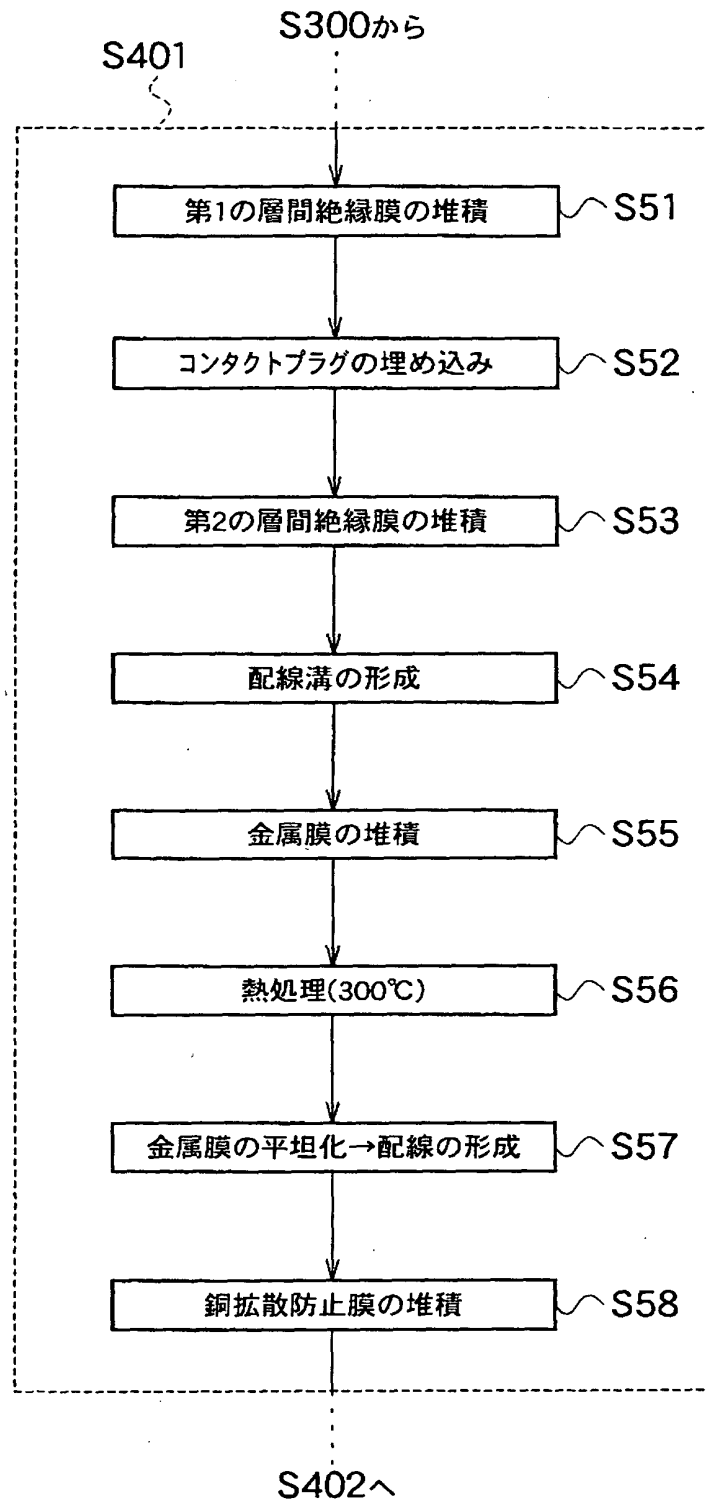


【図12】

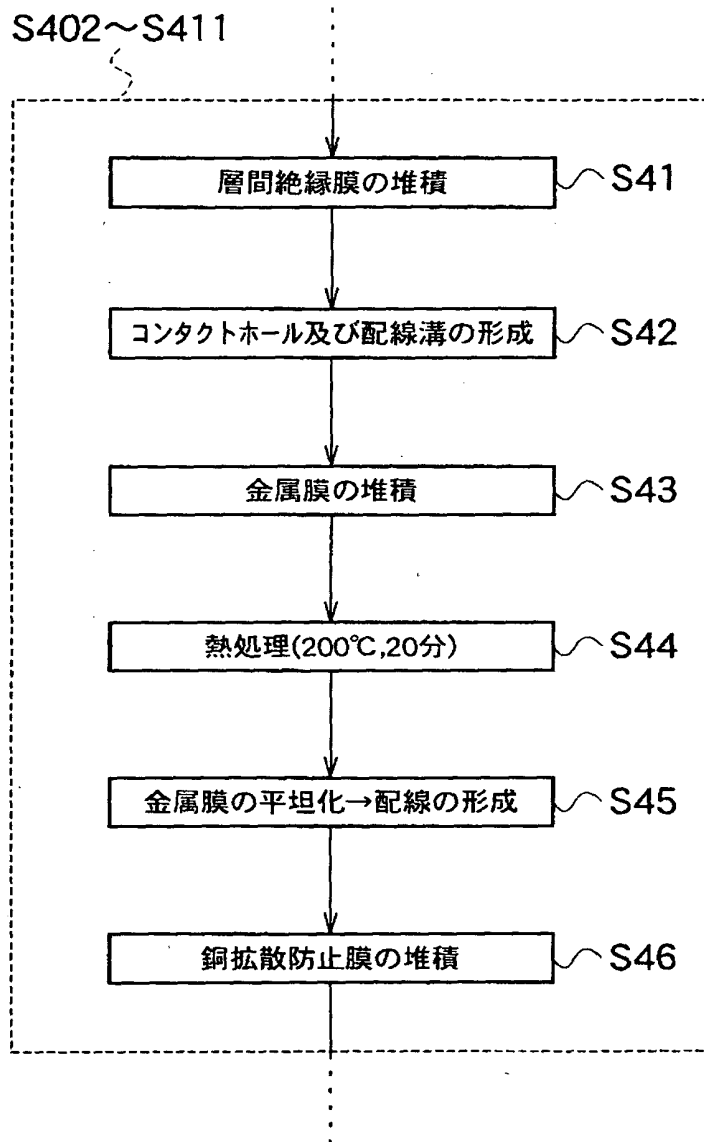




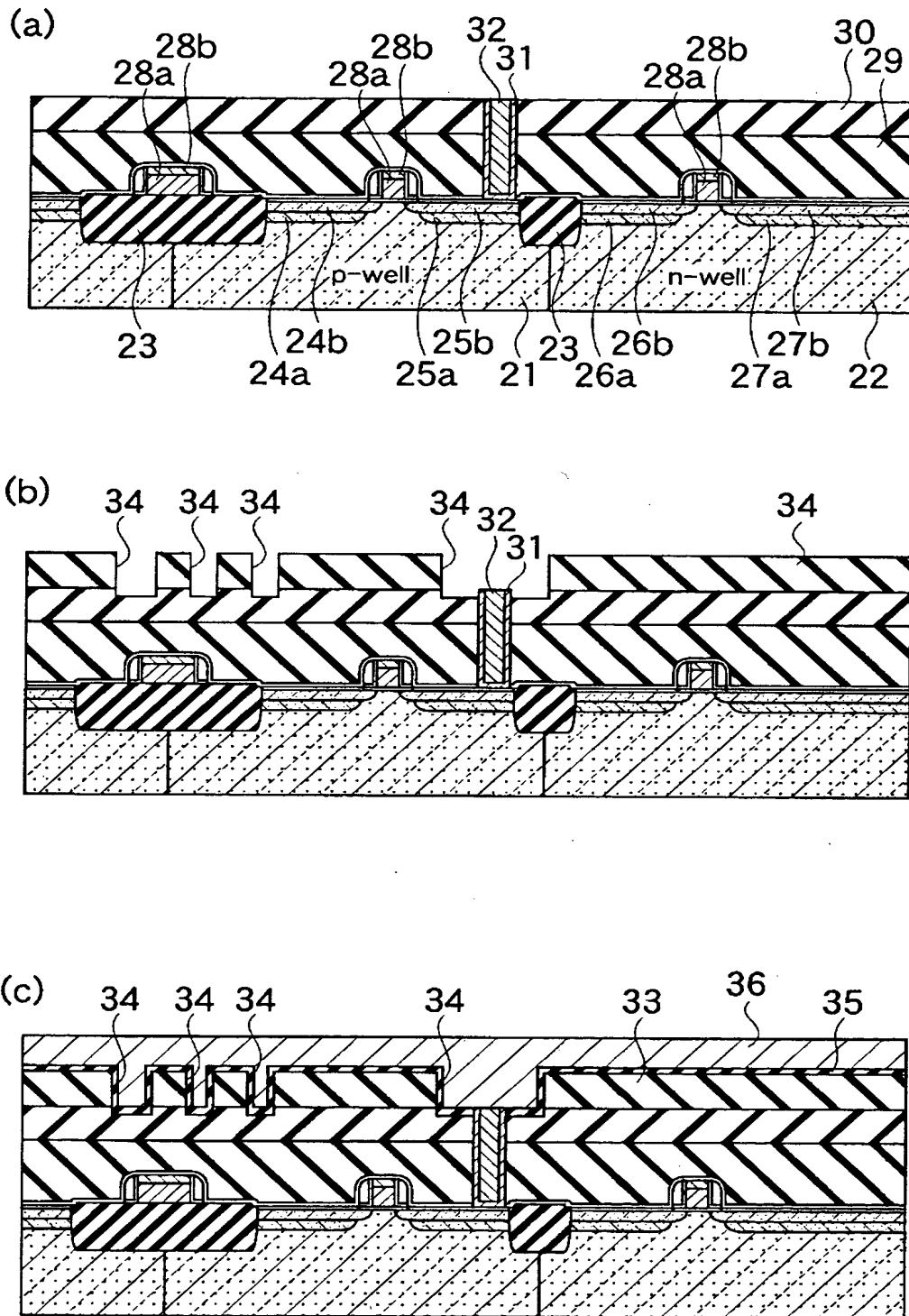
【図13】



【図14】

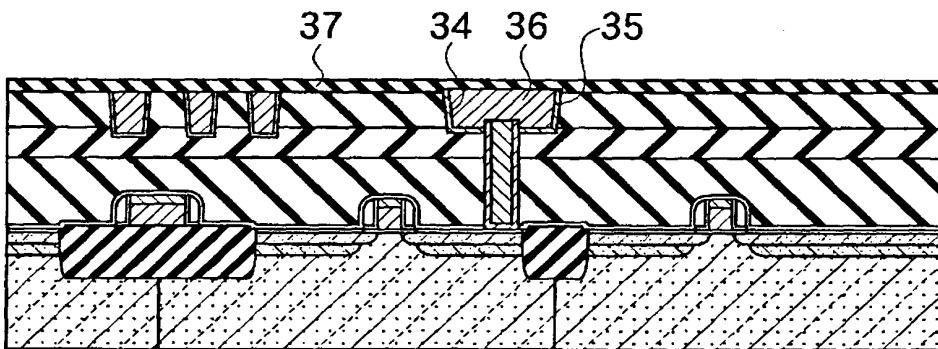


【図 1 5】

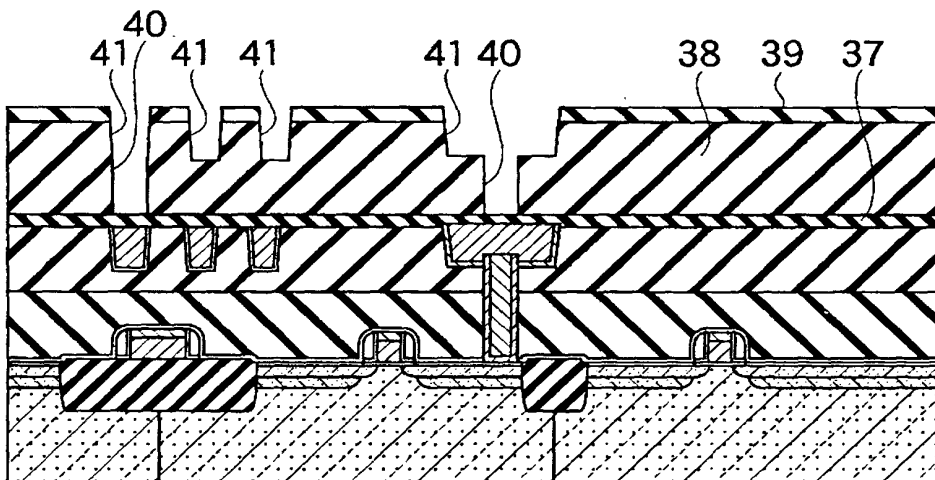


【図 16】

(a)

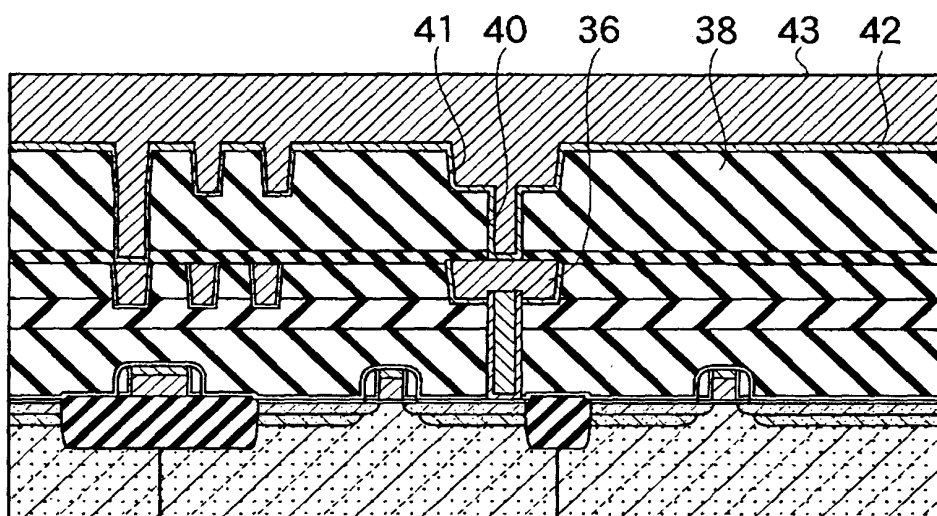


(b)

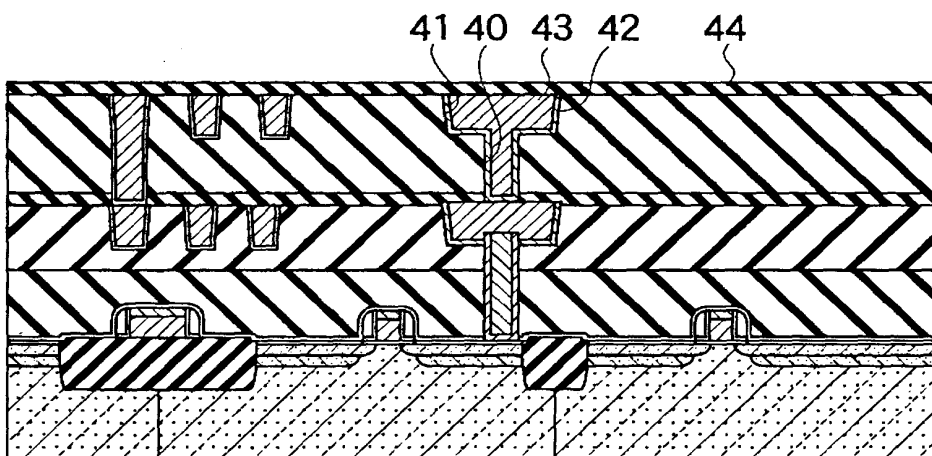


【図 1 7】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 市場において発生するCu配線の不良を低減することができる半導体装置の試験方法及び半導体装置の製造方法を提供する。

【解決手段】 銅或いは銅を主成分とする合金から成る配線を有する半導体装置に発生する配線のストレスマイグレーションによる初期不良を除去する加速試験工程を有する。加速試験工程は、半導体装置の温度をストレスマイグレーションが最も加速される温度の前後40℃の温度帯で0.4時間以上保持する段階を有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日  
[変更理由] 名称変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号                    [000221199]

1. 変更年月日            1990年 8月23日

  [変更理由]            新規登録

    住 所            神奈川県川崎市川崎区駅前本町25番地1  
    氏 名            東芝マイクロエレクトロニクス株式会社